

(19)日本特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-298596

(P2000-298596A)

(43)公開日 平成12年10月24日(2000.10.24)

(51)Int.Cl.<sup>7</sup>  
G 0 6 F 11/22  
17/50

麟別記号  
3 4 0

F I  
C 0 6 F 11/22  
15/60

7-マコ-1<sup>8</sup> (参考)  
3 4 0 A  
6 6 4 P

審査請求 有 請求項の数6 O.L (全 6 頁)

(21)出願番号 特願2000-77517(P2000-77517)  
(22)出願日 平成12年3月21日(2000.3.21)  
(31)優先権主張番号 1 9 9 9 P 9 3 0 7  
(32)優先日 平成11年3月19日(1999.3.19)  
(33)優先権主張国 韓国(K R)

(71)出願人 59212/149  
韓国科学技術院  
大韓民国大田広域市儒城区九城洞373-1  
高地  
(72)発明者 麗 宗 墓  
大韓民国大田市儒城区儒洞洞ハニビッアバ  
ート135-901  
(73)発明者 朴 仁 哲  
大韓民国大田市儒城区田民洞エクスボアバ  
ート403-1403  
(74)代理人 100094145  
弁理士 小野 由己男 (外1名)

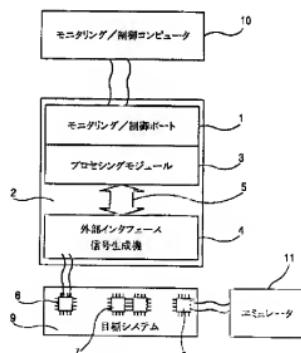
最終頁に続く

(54)【発明の名称】 プロセッサと再設定可能なチップとを用いたVLSIエミュレータ

## (57)【要約】

【課題】 VLSIのデザインを、デザインの初期段階から後半段階まで自由に検証する。

【解決手段】 VLSIのチップのモデルを、機能部分と外部インターフェース部分とに分ける。機能部分の実行は、プロセッサーからなるプロセシングモジュールが行う。外部インターフェース部分は、再設定可能な回路を用いた外部インターフェースの信号生成器により実現し、これにより実際のピン信号を生成する。両者間の情報交換は、命令語及びデータからなるインターフェース制御パケットを用いる。プロセシングモジュール及び外部インターフェースの信号生成器は、1つの基盤内に内蔵され、VLSIのデザインの様々な段階において、内部の機能部分と外部インターフェース部分とを実際目標システム内で検証することができ、VLSIの設計時間と全体システムの検証及び設計時間を節約することができる。



## 【特許請求の範囲】

【請求項1】VLSIデザインをエミュレーションするための装置であって、

前記VLSIデザインの機能部分のソフトウェアモデルを実行するためのプロセッサを有するプロセシングモジュールと、

前記VLSIデザインの外部インターフェース部分のハードウェアモデルとして形成された再設定可能なモジュールとを備え、

前記プロセシングモジュールと前記再設定可能なモジュールとの間の通信は、命令語とデータとで構成されるインターフェース制御パケットを用いる、VLSIデザインのエミュレータ。

【請求項2】前記プロセシングモジュールは、少なくとも1つのプロセッサと、ROM及び／又はRAMを含む少なくとも1つのメモリと、前記プロセッサとメモリとを連結するためのバスと含んで構成される、請求項1に記載のVLSIデザインのエミュレータ。

【請求項3】前記再設定可能なモジュールは、出力データプロセシングによりビン信号シーケンスを生成し、ビン信号シーケンスプロセシングにより入力データを受けけるためのビン信号プロセシングユニットと、前記プロセシングモジュールから送られる出力データと、前記ビン信号プロセシングユニットから送られる入力データとを保持するためのバッファセットと、前記プロセシングモジュールとビン信号プロセシングユニットとの間の速度差を同期化する前記バッファセットを管理するための制御器と、を含む請求項1に記載のVLSIデザインのエミュレータ。

【請求項4】前記VLSIが適用される目標システムに、前記再設定可能なモジュールを接続するためのソケットをさらに含む、請求項1に記載のVLSIデザインのエミュレータ。

【請求項5】モニタリング・制御コンピュータに接続するためのモニタリング制御ポートをさらに含み、前記モニタリング・制御コンピュータは、前記プロセシングモジュールのためのモニタリングコードとソフトウェアモデルとをダウンロードし、外部エミュレーション状況をモニタリング及び制御する、請求項1に記載のVLSIデザインのエミュレータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、VLSIをエミュレーションして検証できるようにした装置に関する。より詳細には、VLSIの設計をチップとして制作する前にエミュレーションし、チップが内蔵され行わるるシステム（以下、「目標システム」という）と共に検証できるようにするプロセッサと再設定可能なチップとを用いたVLSIエミュレータに関する。

## 【0002】

【従来の技術】一般に、VLSIを設計し、チップとして制作するには、かなりの時間がかかり、その費用も高いため、チップとして制作される前の設計段階であらゆるエラーを除去するのが望ましい。なお、VLSIの構造が段々複雑になり、また、チップ内蔵されるシステムも複雑になっていくにつれて、エラーの発生する確率が高くなるため、目標システムと共に設計を子め検証するエミュレーションは必須となる。

【0003】一方、従来のエミュレータは、再設定可能なチップ（FPGA： Field Programmable Gate Array）を再設定可能なネットワークにより連結したものであって、ゲートレベルの論理回路をエミュレーションする。このようなエミュレータは、設計がかなり進んだ後半段階での設計をのみ検証することができる。そのため、デザインの初期段階においては検証はできないという問題を有している。

【0004】なお、Watkinsの米国特許第4901259号のASICエミュレーターにおいては、VLSI全体のソフトウェアモデルをホストコンピュータにより実行し、モデルを行う時に発生するビン信号の値をASICエミュレータシステムが電気的信号に変えてソケットへ送り出す。ホストコンピュータとASICエミュレータとの間の通信は、各ビンに要求されるビン信号値の集合となっている。この方法では、エミュレーション速度を高めるには障壁があり、多様なVLSIを検証するには問題があるが、それは次の理由のためである。

【0005】1) ホストコンピュータは、外部インターフェースに要求されるビン信号の生成を含むあらゆる部分をソフトウェアで行う。2) 一般に、コンピュータの[／]0ポートを用いた通信はプロセッサの性能に比べて非常に遅い。3) ホストコンピュータとASICエミュレータとがケーブルを通して連結されるため、ケーブルの電送能力の影響を受ける。なお、ホストコンピュータを用いることにより、エミュレーションに直接的には必要でない部分が含まれるようになり、システムが大きくなる。

【0006】従て、本発明では、VLSIのモデルを機能部分と外部インターフェース部分とに分け、機能部分の遂行は1つ以上のプロセッサにより具現されたプロセシングモジュールが担当し、また、外部インターフェース部分の遂行は、再設定可能な回路を用いた外部インターフェースの信号生成器が担当することにより、実際のビン信号を作るようにし、なお、両方の間の通信は、インターフェース制御パケット（命令語とデータとかなる）を用いてなり、その両方（プロセシングモジュール及び外部インターフェースの信号生成器）を一つの装置内に内蔵することにより、エミュレーションの速度を高め、効率的に多様な速度を要求されるVLSIの設計を検証することができる方案を提示する。

## 【0007】

【発明が解決しようとする課題】本発明は、前述のような問題を解決するためになされたものであって、その目的は、VLSIのソフトウェアモデルを、プロセッサが基盤となるプロセシングモジュールと再設定可能なチップを用いた外部インタフェースに対する信号生成器とを用いてエミュレーションするため、デザインの後半段階でのみならずデザインの初期段階における設計をも自由に検証ができるプロセッサと再設定可能なチップとを用いたVLSIエミュレータを提供することにある。

【0008】本発明の他の目的は、VLSIの機能部分は、プロセッサ基盤のプロセシングモジュールが担当し、外部インタフェース部分には、再設定可能な回路を用い、また、両方の間の通信にはインタフェース制御パケットを用い、この両方を一つの装置に内蔵することにより、全体のエミュレーション速度を高め、より速い、かつ、正確なビン信号が生成できるようにすることにある。

#### 【0009】

【課題を解決するための手段】上記のような目的を達成するための本発明によるプロセッサと再設定可能なチップとを用いたVLSIエミュレータは、検証するVLSIの機能部分のソフトウェアモデルを実行するプロセッサと、ソフトウェアモデルとモニタリングコードとを記憶するROM及び／又はRAMからなるメモリと、前記プロセッサとメモリとの間を連絡するチャネルからなるプロセシングモジュールと；VLSIの外部インタフェースモデルを遂行する1つ以上の再設定可能な素子で構成されたビン信号プロセシングユニットと；前記プロセシングモジュールとビン信号プロセシングユニットとの間ににおける速度差の緩衝と同期化のためのバッファ及びバッファを管理する制御器からなる外部インタフェースの信号生成器と；前記プロセシングモジュールと外部インタフェースの信号生成器との間ににおけるインタフェース制御パケットの通信のためのチャネルと；前記外部インタフェースの信号生成器と、検証しようとするVLSIが具備された目標システムとの間ににおける連絡のためのソケットと；を含む。

【0010】本発明の前述した目的と様々なメリットは、この技術分野において熟練された者によって添付の図面を参照して後述される発明の望ましい実施形態例により、より一層明確になる。

#### 【0011】

【発明の実施の形態】以下、本発明による実施形態について、添付した図面を用いて詳細に説明する。図1は、本発明の実施形態によるエミュレータシステム（以下、「エミュレータ」という）とその周辺のシステムとを示すための図面である。

【0012】検証するVLSIのモデルは、機能を記述したソフトウェアモデルと外部インタフェースモデルと

に分けられる。なお、同図面において、エミュレータ2は、プロセシングモジュール3と、外部インタフェースの信号生成器4とを含んでいる。プロセシングモジュール3は、機能を記述したソフトウェアモデルを遂行する1つ以上のプロセッサからなる。外部インタフェースの信号生成器4は、再設定可能なチップ（例えばFPG-A）からなる。この再設定可能なチップ（例えばFPG-A）は、外部インタフェースモデルにより外部とのインターフェースを担当する。プロセシングモジュール3は、外部とのインターフェースが必要の場合、それに該当するインターフェース制御パケットを外部インタフェースの信号生成器4によりチャネル5を通じて送信する。外部インタフェースの信号生成器4は、前記インターフェース制御パケットを解読し、要求に応じて目標システム9に電気的信号を送るか、または目標システム9から電気的信号を読み込み、それをプロセシングモジュール3へ伝達する。

【0013】なお、目標システム9には、外部インターフェースの信号生成器4により作られた電気的ビン信号が連結されるソケット6がある。これにより、目標システム9内部の他のVLSIのチップや、さらに他のエミュレータ1に連結されている他のソケット8と電気的に連結できる。一方、エミュレータ2は、内部のモニタリング／制御ポート1を通して外部のモニタリング／制御コンピュータ10と連結している。これにより、外部からエミュレーション状況を観察したり、制御たりすることができる。なお、モニタリング／制御ポート1は、エミュレーションを始める前にプロセシングモジュール3によりソフトウェアモデルをダウングロードしたり、外部インタフェースの信号生成器4の内部の再設定可能なチップを再設定するために用いられる。

【0014】図2は、プロセシングモジュール3の実施形態例を説明するための図面である。同図に示すように、機能を記述したソフトウェアモデルは、プロセシングモジュール3内のプロセッサ12が実行できる形態に変換（コンパイル）され、モニタリングのためのコードと共にメモリ13に記憶される。また、プロセッサ12は、メモリ13にあるソフトウェアモデルを実行する。この時、ソフトウェアモデルを複数のプロックに分け、複数のプロセッサと複数のメモリとで実行することもできる。この場合、複数のプロセッサ間の通信のための通信チャネルを設けておく。なお、メモリ13は、ROM及び／又はRAMからなり、実行するコードを、予め有しているかまたはモニタリング／制御ポート1を通して受け取る。

【0015】機能を記述したソフトウェアモデルが目標システム9内のデータを読み込み、または目標システム9にデータを書き込むとするとき、プロセッサ12は、対応するインターフェース制御パケットを、外部インタフェースの信号生成器4にチャネルを通じて送信する。目標

システム9にデータを書込む場合、インターフェース制御パケットは、書き込み命令、アドレス及び書込みたいデータを含んで構成される。目標システム9内のデータを読み込む場合、インターフェース制御パケットは、読み込み命令とアドレスを含んで構成される。このパケットが外部インターフェースの信号生成器4に送られ、その後信号生成器4が目標システム9のデータを読み込んだのが確認されると、プロセッサ12は、その結果値を持ってくることを指示するインターフェース制御パケットを信号生成器4に送り出し、その値を読み込む。エミュレーションの状態は、ユーザが、モニタリング／制御コンピュータ10からモニタリング／制御ポート1を通じて送る命令により、制御されたりモニタリングされたりする。

【0016】図3は、外部インターフェースの信号生成器4の実施形態例を説明するための図面である。プロセシングモジュール3からチャネル5を通じて送られてきたインターフェース制御パケットは、制御器14を通じてバッファ15に保持される。パケットの命令語及びデータは、外部インターフェースモデルにより予め構成された再設定可能なチップから構成されるピン信号プロセシングユニット16により、該当するピン信号のシーケンス(sequence)として作られ、ソケット6に送られる。ピン信号プロセシングユニット16内の再設定可能なチップの再設定は、エミュレーションが始まる前にプロセシングモジュール3内のメモリ13の初期又は再設定専用のROM/RAMに記憶されている値により行われる。また、チップの再設定が、モニタリング／制御ポート1によりダウンロードされて行われることもある。

【0017】なお、読み込みの場合、ピン信号プロセシングユニット16は、ソケット6から読み込まれた値をバッファ15に保持した後、その状態をプロセシングモジュール3に通知する。すると、後でプロセシングモジュール3は、記憶されている値を取得する。制御器14は、バッファ15がプロセシングモジュール3とピン信号プロセシングユニット16との速度差を緩衝し、かつ

同期化する役割をするように、バッファ15を管理する。書き込みの場合、バッファ15にあるデータをピン信号プロセシングユニット16が命令語により電気的信号として変え、ソケット6へ送信する。

【0018】以上、説明した内容により、当業者なら本発明の技術思想を理解しない範囲内において、様々な変更及び修正ができることが明らかであるだろう。

#### 【0019】

【発明の効果】以上、説明したように、本発明によれば、デザイン後期の設計のみならず、デザイン初期の設計もエミュレーションが可能そのため、VLSIの設計初期に機能部分及び外部インターフェースを検証することができ、それにより、応用システムの開発時間を短縮することができる。

#### 【図面の簡単な説明】

【図1】本発明によるシステムの構成と実施形態例を示す図である。

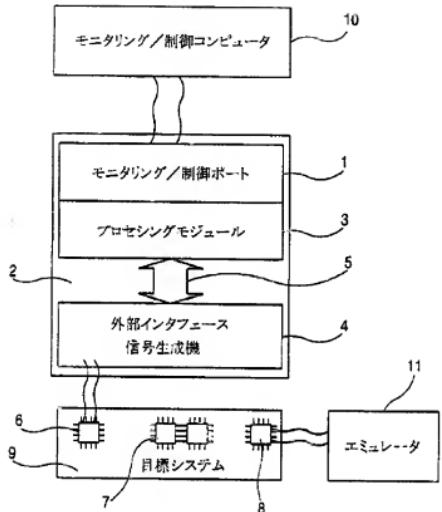
【図2】本発明によるプロセッサ基盤プロセシングモジュールの実施形態例を示す図である。

【図3】本発明による外部インターフェースの信号生成器の実施形態例を示す図である。

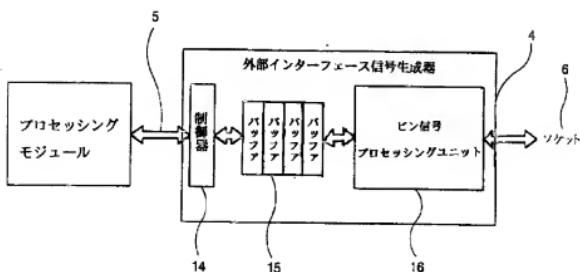
#### 【符号の説明】

- 1：モニタリング／制御ポート
- 2、11：エミュレータ
- 3：プロセシングモジュール
- 4：外部インターフェースの信号生成
- 5：インターフェース制御パケットチャネル
- 6、8：ソケット
- 7：VLSIチップ
- 9：目標システム
- 10：モニタリング／制御コンピュータ
- 12：1つ以上のメモリ
- 14：制御器
- 15：バッファ
- 16：ピン信号プロセシングユニット

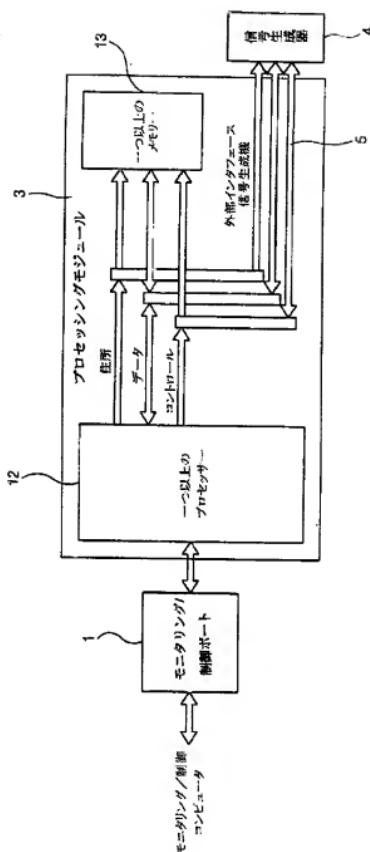
【図1】



【図3】



【図2】



---

フロントページの続き

(72)発明者 李 承 鍾  
大韓民国京畿道高陽市一山区朱葉2洞文村  
マウル1807-1001